

FACOLTÀ	INGEGNERIA
ANNO ACCADEMICO	2012/13
CORSO DI LAUREA MAGISTRALE	Laurea Magistrale in Ingegneria Informatica Classe LM-32 – Lauree Magistrali in Ingegneria Informatica
INSEGNAMENTO	Architetture avanzate dei calcolatori
TIPO DI ATTIVITÀ	Caratterizzante
AMBITO DISCIPLINARE	Ingegneria informatica
CODICE INSEGNAMENTO	01475
ARTICOLAZIONE IN MODULI	NO
SETTORI SCIENTIFICO DISCIPLINARI	ING/INF 05
DOCENTE RESPONSABILE	Filippo SORBELLO Professore ordinario Università degli Studi di Palermo
CFU	12
NUMERO DI ORE RISERVATE ALLO STUDIO PERSONALE	190
NUMERO DI ORE RISERVATE ALLE ATTIVITÀ DIDATTICHE ASSISTITE	110
PROPEDEUTICITÀ	Nessuna
ANNO DI CORSO	Primo
SEDE DI SVOLGIMENTO DELLE LEZIONI	Consultare il sito www.ingegneria.unipa.it
ORGANIZZAZIONE DELLA DIDATTICA	Lezioni frontali, Esercitazioni in aula ed in laboratorio
MODALITÀ DI FREQUENZA	Obbligatoria
METODI DI VALUTAZIONE	1) progettazione e messa a punto, <i>in gruppo</i>, di un circuito FPGA sulla base di specifiche date. La complessità dell'architettura da progettare sarà legata alla consistenza del gruppo di lavoro: tipicamente 2 o 3 allievi. 2) prova orale sugli argomenti trattati nel corso ed in particolari quelli inseriti nella prima, seconda e terza parte della voce <i>Obiettivi formativi</i>, più avanti riportata. La prova orale comprende anche la presentazione, <i>in gruppo</i>, di un approfondimento riguardante un argomento concordato. Per quanto riguarda gli argomenti di Storia la prova orale potrà essere sostituita da una presentazione, <i>in gruppo</i>, di un argomento concordato con il docente riguardante o l'approfondimento di un tema trattato a lezione o l'esposizione di un tema non trattato a lezione o la biografia di un personaggio della storia dell'informatica. 3) test a risposta multipla sui seminari organizzati all'interno del Corso.
TIPO DI VALUTAZIONE	Voto in trentesimi
PERIODO DELLE LEZIONI	Primo e secondo semestre

CALENDARIO DELLE ATTIVITÀ DIDATTICHE	Consultare il sito www.ingegneria.unipa.it
ORARIO DI RICEVIMENTO DEGLI STUDENTI	Martedì e mercoledì, dopo la lezione.

RISULTATI DI APPRENDIMENTO ATTESI

Conoscenza e capacità di comprensione

L'allievo, alla fine del corso, avrà acquisito conoscenze sull'evoluzione storica e sullo stato dell'arte delle architetture dei sistemi di elaborazione. In particolare saprà valutare le qualità e l'innovatività delle soluzioni architetture dei nuovi processori in commercio. Saprà inoltre progettare, a livello funzionale e logico, nuove architetture per risolvere specifici problemi applicativi e realizzare soluzioni circuitali mediante processori FPGA (Field Programmable Gate Array).

Capacità di applicare conoscenza e comprensione

Le conoscenze acquisite durante il corso sia mediante le lezioni frontali, sia mettendo a punto soluzioni circuitali prototipali, mediante l'uso di schede con FPGA, lo rafforzeranno nella comprensione degli argomenti.

Inoltre lo sforzo progettuale per la progettazione dell'architettura e l'implementazione della relativa soluzione circuitale con FPGA, oggetto della tesina, consentiranno una auto-verifica delle conoscenze acquisite.

Autonomia di giudizio

La progettazione dell'architettura costituirà un fondamentale banco di prova per verificare le capacità acquisite.

A conclusione l'allievo sarà capace di affrontare, in autonomia, problemi non strutturati e prendere le opportune decisioni.

Abilità comunicative

L'allievo sarà capace di esporre con padronanza di linguaggio, con chiarezza e con la maturità derivante anche dalla conoscenza dell'evoluzione storica, le caratteristiche delle architetture dei moderni sistemi di elaborazione. Egli saprà dunque interloquire, anche nei gruppi di lavoro, con colleghi progettisti e con tecnici per affrontare e risolvere problemi del settore. Tale capacità verrà accentuata dall'obbligatorietà del lavoro di gruppo sia per la progettazione dell'architettura sia per l'approfondimento di un argomento concordato.

Capacità di apprendimento

L'allievo saprà affrontare in autonomia argomenti di architetture dei calcolatori sia a livello storico, sia a livello teorico sia a livello di progettazione funzionale e logica.

OBIETTIVI FORMATIVI

Il Corso si pone lo scopo di completare la preparazione dell'ingegnere informatico nel settore delle architetture dei sistemi di elaborazione.

La **prima** parte del corso fornirà una panoramica generale sulle tappe che hanno caratterizzato, nel tempo, il calcolo automatico ed i relativi strumenti.

Si evidenzierà in questo modo che gli attuali sistemi di calcolo elettronico sono il frutto di tante idee e sperimentazioni che nel tempo si sono succedute pur con i limiti delle tecnologie via via utilizzate.

La **seconda** parte del corso è destinata allo studio delle soluzioni architetture note.

La **terza** parte è destinata all'insegnamento del linguaggio standard VHDL (*VHSIC (Very High Speed Integrated Circuits) Hardware Description Language*) per la progettazione di circuiti integrati digitali.

Insieme al linguaggio VHDL verrà insegnato l'analogo linguaggio Handel C, dalle prestazioni inferiori, ma fortemente orientato alla progettazione di circuiti FPGA e con una sintassi vicina al linguaggio C.

La **quarta** parte del corso è destinata alla descrizione delle tecnologie per la realizzazione di prototipi con circuiti FPGA ed in particolare alle soluzioni proposte dalla ditta Xilinx.

Le **attività di laboratorio** prevedono la progettazione assistita, *in gruppo*, di una architettura sulla base di specifiche date utilizzando il linguaggio VHDL o Handel C per la progettazione ed una scheda con un circuito FPGA per la realizzazione di un prototipo elettronico funzionante.

ORE FRONTALI	LEZIONI FRONTALI
10	= Storia dell'informatica: gli albori; gli ausili meccanici; le calcolatrici meccaniche; le macchine di Babbage; gli strumenti analogici; i primi calcolatori elettronici; i calcolatori elettronici a programma memorizzato; l'informatica in Italia.
10	= Fondamenti di progettazione degli elaboratori: categorie; linee di sviluppo della tecnologia; linee di sviluppo dei circuiti integrati; tendenze nei fattori di costo; dipendenza critica dei componenti; misurare le prestazioni. Principi quantitativi di progettazione: parallelismo; principio di località; legge di Amdahl; equazione delle prestazioni di un processore.
8	= richiami sulle architetture tradizionali (omogeneizzazione delle conoscenze da parte degli allievi);
6	= calcolatori con ridotto numero di istruzioni RISC;
4	= parallelismo a livello di istruzione e processori superscalari;
10	= unità di controllo: micro-operazioni, implementazioni cablate, controllo micro-programmato
10	= organizzazione parallela: processori multipli, multiprocessori simmetrici, cluster, calcolo vettoriale.
18	= linguaggio VHDL e HandelC per la descrizione dell'hardware
10	= caratteristiche dei circuiti FPGA della Xilinx e loro uso
	SEMINARI
14	= Architetture dei mainframe e loro caratteristiche. (organizzato in collaborazione con la ditta IBM).
	ESERCITAZIONI
10	= Realizzazione in laboratorio di una architettura sistema implementato su una scheda con FPGA.
TESTI CONSIGLIATI	William Stallings: <i>Computer Organization and Architecture</i> – Prentice Hall (Titolo della versione in italiano: <i>Architettura e organizzazione dei calcolatori – Progetto e prestazioni</i> - Pearson)
	Mark Zwolinski: <i>VHDL: progetto di sistemi digitali</i> - Pearson
	J. L. Hennessy, D. A. Patterson: <i>Computer Architecture. A Quantitative Approach</i> - (Titolo della versione in italiano: <i>Architettura degli elaboratori – Apogeo</i>) =(Testo di riferimento per l'approfondimento di alcune parti)=
	M.R. Williams, <i>A History of Computing Technology</i> , Prentice-Hall. (versione in italiano dal titolo <i>Storia dei computer</i> a cura della Casa editrice Muzzio) o in alternativa William Aspray (ed) <i>Computing Before Computers</i> liberamente scaricabile dal sito http://ed-thelen.org/comp-hist/CBC.html .
	Manuale <i>Handel C</i> – reperibile sulla rete Internet
	Materiale fornito durante il Corso.